

УДК 621.396.96

Некоторые проблемы аппаратной реализации устройств цифровой первичной обработки радиолокационных сигналов на современной элементной базе

О.В. Ампилов, М.В. Никитин, С.А. Топчиев, А.К. Пяткин, А.А. Толкачев

Рассмотрены проблемы построения устройств цифровой первичной обработки радиолокационных сигналов на основе программируемых логических интегральных схем (ПЛИС) и цифровой обработки сигналов (ЦОС). Приведены примеры реализации устройств.

The problems of hardware realization of digital radiolocation signal processing devices with the using of ASIC's (FPGA), DSP are considered. The examples of such devices are proposed.

Введение

Развитие радиолокационной техники в значительной степени, обуславливается прогрессом в развитии аппаратных и программных средств цифровой обработки сигналов.

Задачи первичной обработки в прошлом успешно решались аналоговыми устройствами [1, 2]. Однако в случае модернизации радиолокационной аппаратуры перспективно даже простое замещение аналоговых модулей на соответствующие по характеристикам цифровые модули, реализованные на современной элементной базе. Это дает возможность повысить стабильность характеристик, снизить массу и габаритные размеры устройств, повысить их надежность, а также снизить стоимость аппаратуры за счет невысокой цены компонентов при массовом производстве [3]. При разработке же новых РЛС учет возможностей ЦОС на этапе проектирования позволяет улучшать характеристики РЛС и на системном уровне.

Цель работы – рассмотрение основных принципов и примеров реализации устройств цифровой первичной обработки сигналов на современной элементной базе.

Дискретизация сигнала

Для получения наилучших характеристик цифрового сигнала необходимо перед проведением дискретизации преобразовать высокую несущую частоту эхосигнала в более низкую промежуточную частоту (ПЧ), а также увеличить мощность сигнала до уровня, необходимого для уменьшения влияния собственных шумов аналого-цифрового преобразователя (АЦП). Для этих целей служит приемное аналоговое устройство, которое для обеспечения линейного режима работы АЦП также выполняет функции нормирования мощности сигнала на его входе [3]. На рис.1 приведена схема дискретизации сигнала на ПЧ, представляющая более целесообразной, чем традиционная схема дискретизации сигнала на видеочастоте в квадратурных каналах [4]. Учитывая, что основными алгоритмическими модулями, определяющими производительность цифрового устройства первичной обработки (согласованной фильтрации) сигналов, являются вычислители быстрого преобразования Фурье (БПФ) [5], производящие операции с комплексными числами, для увеличения вычислительной эффективности устройства представляется целесообразным получать комплексный формат сигнала в виде его квадратурных составляющих на видеочастоте.

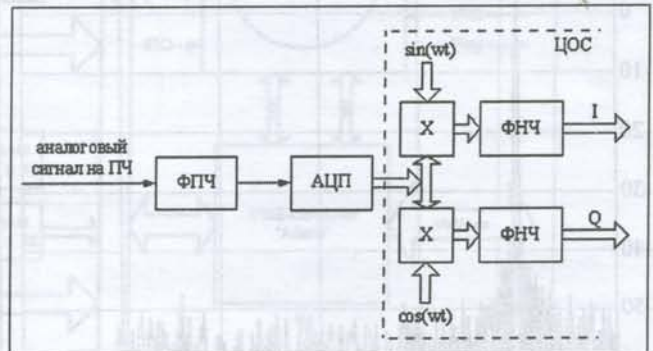


Рис. 1

Получение квадратурных составляющих сигнала осуществляется с помощью цифровой обработки, производящей перенос несущей частоты сигнала на видеочастоту и низкочастотную фильтрацию. Цифровой метод свободен от недостатков аналоговых методов (амплитудный и фазовый разбалансы опорных частот, неидентичность фильтров низких частот) получения квадратурных составляющих, ухудшающих результирующие характеристики преобразования [3].

Согласованная фильтрация

Обработка широкополосных сигналов требует реализации высоких (30...60 дБ) [6, 7] коэффициентов фильтрации (добротности) согласованных фильтров, что ставит жесткие условия на производительность устройства согласованной

фильтрации сигналов. Для решения этих задач необходимо использование специализированных конвейерных вычислительных систем с высокой степенью параллелизма [4, 8, 9], включающих десятки и сотни параллельно работающих умножителей и сумматоров. Для минимизации массогабаритных характеристик, потребляемой мощности, времени проектирования и отладки устройства целесообразно применение специализированных цифровых интегральных схем (Application-Specific Integrated Circuit, ASIC), в том числе ПЛИС (Field Programmable Gate Array, FPGA) [6, 10, 7].

Использование аппаратных решений, по сравнению с многопроцессорными реализациями [11, 12], дает возможность синтезировать вычислительную систему с учетом параметров решаемой задачи, что позволяет дополнительно улучшить характеристики устройства. Рассматриваемый синтез устройств заключается в обеспечении как необходимых степеней параллелизма [13], определяемых требуемой производительностью, так и оптимальных рядностей обрабатываемого сигнала и коэффициентов обработки, определяемых из требований на соответствующие уровни энергетических потерь в отношении сигнал-шум [14] и боковых лепестков сигнала на выходе согласованного фильтра [15].

В табл. 1 приведены основные алгоритмические модули цифровой фильтрации, необходимые для построения системы согласованной фильтрации.

Таблица 1

Модуль	Задачи
КИХ-фильтр	Полосовая фильтрация, согласованная фильтрация немодулированных импульсов.
Вычислитель БПФ	Согласованная фильтрация модулированных импульсов в частотной области, фильтрация когерентной последовательности импульсов.
Квадратурный детектор	Выделение огибающей сигнала.

Использование алгоритмов цифровой адаптивной фильтрации модулированных импульсов [14] позволяет получать более низкий уровень боковых лепестков сигнала, чем достигалось ранее с использованием аналоговых фильтров [3].

На рис. 2 показан результат сжатия ЛЧМ-импульса длительностью 15 мкс и девиацией 10 МГц, проведенного на кристалле ПЛИС Xilinx Virtex II с использованием вычислителей БПФ, реализующих алгоритм фильтрации в частотной области [8, 16]. Время вычисления БПФ составляет около 30 мкс.

На рис. 3 показан результат фильтрации когерентной последовательности 300 импульсов [16] с использованием весовой функции Хемминга, проведенной на кристалле ПЛИС Xilinx Virtex II с использованием вычислителей БПФ. Суммарный коэффициент неоптимальности каждого фильтра не превышает 2 дБ.

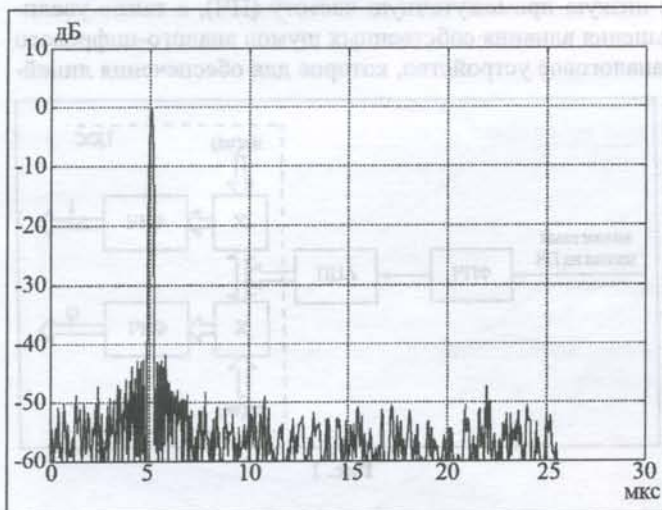


Рис. 2

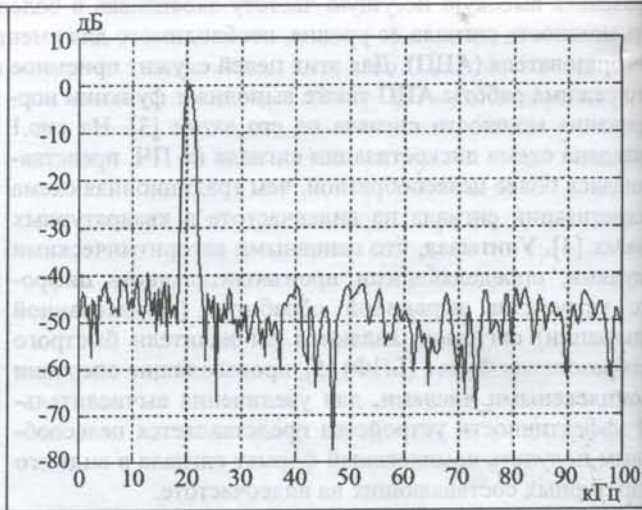


Рис. 3

Обнаружение

На основе ПЛИС могут реализовываться алгоритмы обнаружения сигналов [6, 7]. Для реализации принципа точных вычислений с низким уровнем ветвления, который наиболее успешно выполняется на ПЛИС, целесообразна реализация модуля обнаружения в виде адаптивных пороговых фильтров, производящих оценку параметров шума в «скользящем окне» с применением алгоритмов фильтрации сигнальных отсчетов [16]. Необходимая общая производительность модуля обнаружения, как и модулей согласованной фильтрации, может легко достигаться повышением степени параллелизма (увеличением количества) вычислительных ядер в составе программного модуля.

Формирование единичных замеров

С одной стороны, на выходе порогового фильтра поток информации существенно сокращается [4], с другой стороны, алгоритмы формирования единичных замеров имеют высокие уровни ветвления. Поэтому в последующих модулях первичной обработки радиолокационной информации (группирование объектов, оценка координат цели) процессор цифровой обработки сигналов ПЦОС или универсальный процессор приобретают преимущества перед ПЛИС. При этом использование гибкого вычислительного средства в виде ПЦОС [6, 7] (или универсального процессора), работающего с сигналами высокой разрядности (до 32 бит) или в формате данных с плавающей точкой для обработки нерегулярных потоков сигнальной информации с выхода порогового фильтра, дает максимальную эффективность.

Пример реализации устройства цифровой первичной обработки для моноимпульсной РЛС с ФАР

На рис. 4 приведена функциональная схема 3-канального устройства цифровой первичной обработки радиолокационных сигналов ПЦОС1 для применения в когерентных моноимпульсных РЛС с ФАР [6]. Процессор ЦОС1 обеспечивает:

- дискретизацию входных аналоговых сигналов на промежуточной частоте 105 МГц;
- согласованную фильтрацию когерентных сигналов с шириной частотной полосы до 30 МГц;
- адаптивное обнаружение полезных сигналов;
- вычисление угловых координат обнаруженных целей;
- формирование единичных замеров координат целей.

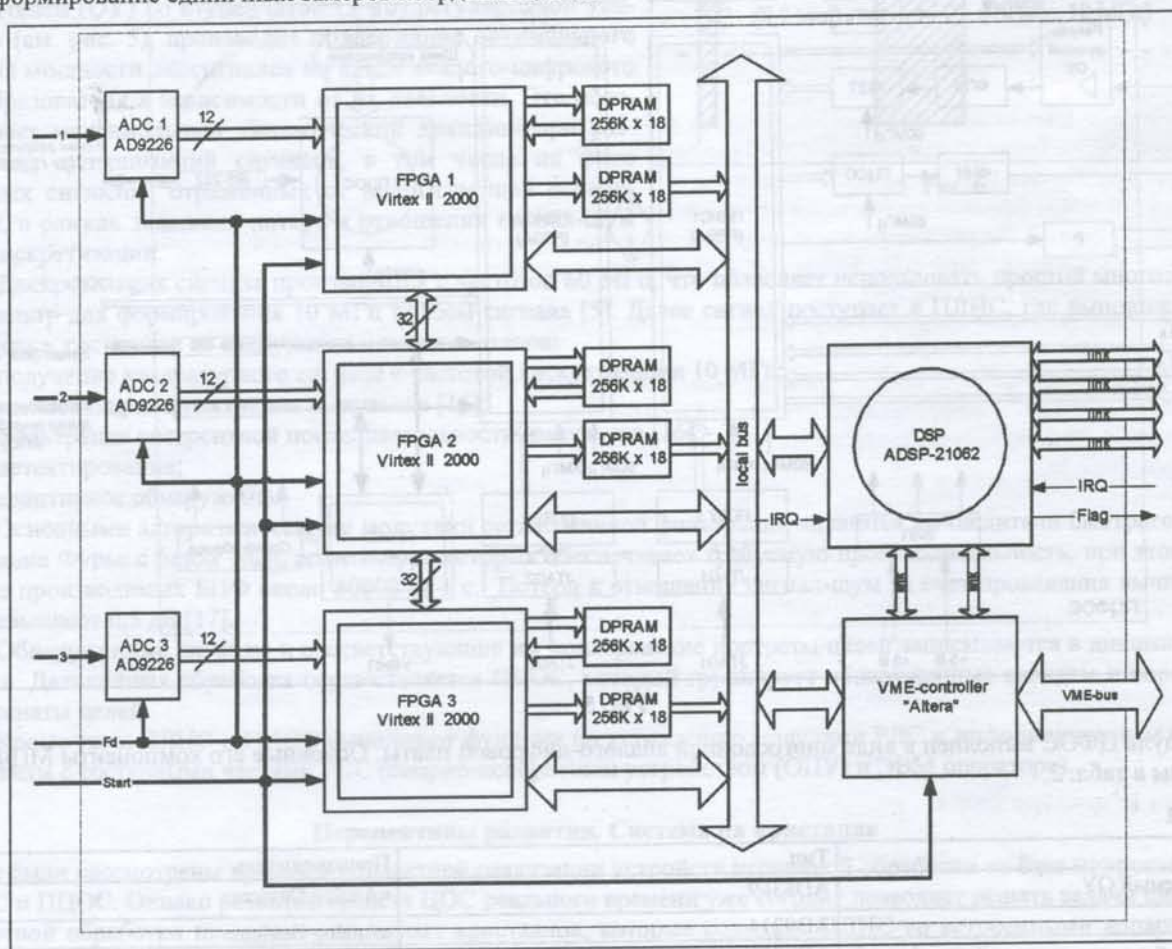


Рис. 4

Он предназначен для использования в составе вычислительной системы РЛС на основе VME-шины и построен с применением современных электронных компонентов: АЦП AD9226, ПЦОС ADSP 21062 – «Analog Devices», ПЛИС Virtex II 2000 – «Xilinx», микросхемы двухпортовой памяти – «Samsung».

Дискретизация входных аналоговых сигналов производится с частотой 60 МГц, полученной от внешнего высокостабильного опорного генератора, что обеспечивает высокую когерентность обработки сигнала. Коэффициент цифровой фильтрации сигнала достигает 30 дБ.

Основным алгоритмическим модулем согласованной фильтрации является набор вычислителей БПФ с базой 512. При этом время вычисления БПФ составляет менее 30 мкс. Произведенная оптимизация разрядностей представления сигнальных данных на каждом шаге вычислений, а также коэффициентов БПФ позволили получить приемлемый уровень энергетических потерь, обусловленных конечной разрядностью вычислителя, который не превышает 0,3 дБ [17].

Использование адаптивных алгоритмов цифровой согласованной фильтрации с применением весовых функций позволило получить уровень боковых лепестков сигналов менее -40 дБ в матрице дальность – скорость [16]. Обнаружение полезных сигналов также осуществляется на ПЛИС с использованием алгоритмов адаптивной пороговой обработки.

Процессор ADSP-21062 в составе ПЦОС1 выполняет функции по обеспечению интерфейса информационный обмен по шине VME, управлению параметрами согласованной фильтрации, формированию информационный пакетов, содержащих единичные замеры координат обнаруженных целей. Полученная радиолокационная информация передается на вход платы вторичной обработки с помощью Link-портов сигнального процессора.

Устройство цифровой первичной обработки и синтеза зондирующих сигналов для переносной обзорной РЛС

На рис. 5 показана функциональная схема модуля цифрового формирования и обработки сигналов (МЦФОС), работающего в составе антенного поста (АП) переносной когерентной импульсной радиолокационной станции [7].

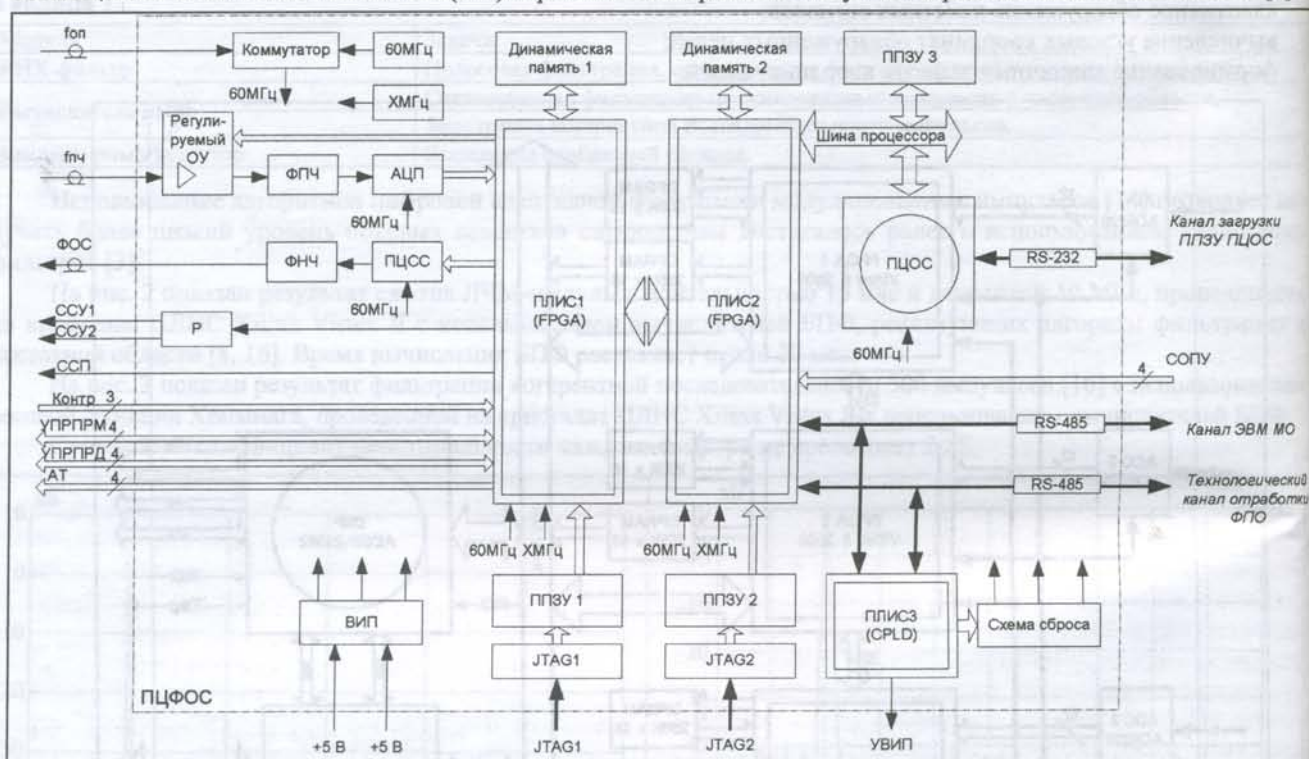


Рис. 5

Модуль ЦФОС выполнен в виде многослойной аналого-цифровой платы. Основные его компоненты МЦФОС приведены в табл. 2.

Таблица 2

Название	Тип	Производитель
Регулируемый ОУ	AD8369	«Analog Devices»
АЦП	AD9214	«Analog Devices»
ПЦСС	AD9852	«Analog Devices»
ПЛИС (FPGA)	Spartan3-400	«Xilinx»
ПЛИС (CPLD)		«Xilinx»
Динамическая память	K4H511638D	«Samsung»
ПЦОС	ADSP-2191	«Analog Devices»

Модуль ЦФОС обеспечивает:
 формирование зондирующего сигнала на промежуточной частоте 95 МГц;

- регулируемое усиление принятых эхосигналов;
- дискретизацию эхосигналов на промежуточной частоте 75 МГц;
- согласованную фильтрацию эхосигналов с полосой частот 10 МГц;
- адаптивное обнаружение эхосигналов;
- получение доплеровских портретов целей;
- вычисление координат целей;
- управление модулями РЛС;
- информационные взаимодействия с составными частями РЛС.

Формирование зондирующего сигнала производится с помощью микросхемы прямого цифрового синтеза сигналов (ПЦСС, DDS). Тактовая частота для ПЦСС подается с выхода опорного высокостабильного генератора (стабильность 10^{-9} за 1 с). Генератор является источником для получения всех опорных частот для преобразований сигналов в РЛС, в том числе для дискретизации, что обеспечивает необходимую когерентность обработки.

Диаграмма квазинепрерывного зондирующего сигнала РЛС, являющегося когерентной последовательностью 1024 композитных сигналов, состоящих из немодулированного импульса (БЧМ-импульса) длительностью 0,2 мкс, и модулированного импульса (НЧМ-импульса) с девиацией 10 МГц и длительностью 10 мкс, приведена на рис. 6.

Аналоговый усилитель с временной регулировкой усиления (ВРУ), построенный на основе операционных усилителей (ОУ) со ступенчатой (3 дБ) регулировкой усиления (см. рис. 5), производит поддержание оптимального уровня мощности эхосигналов на входе аналого-цифрового преобразователя в зависимости от их дальности. Это обеспечивает максимальный динамический диапазон при разрешении суперпозиций сигналов, в том числе на фоне мощных сигналов, отраженных от подстилающей поверхности, в рамках заданных потерь в отношении сигнал-шум при дискретизации.

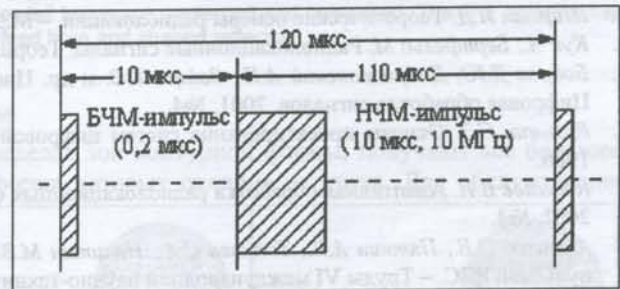


Рис. 6

Дискретизация сигнала производится с частотой 60 МГц, что позволяет использовать простой многозвенный LC-фильтр для формирования 10 МГц полосы сигнала [5]. Далее сигнал поступает в ПЛИС, где выполняется его обработка, состоящая из следующих основных этапов:

- получение квадратного сигнала с частотой дискретизации 10 МГц;
- согласованная фильтрация импульсов [16];
- фильтрация когерентной последовательности импульсов [16];
- детектирование;
- адаптивное обнаружение.

Основными алгоритмическими модулями согласованной фильтрации являются вычислители быстрого преобразования Фурье с базой 1024, архитектура которых обеспечивает требуемую производительность, при этом количество производимых БПФ около 30000 за 1 с. Потери в отношении сигнал-шум за счет проведения вычислений не превышают 0,5 дБ [17].

Обнаруженные сигналы и соответствующие им доплеровские портреты целей записываются в динамическую память. Дальнейшая обработка осуществляется ПЦОС, который группирует обнаруженные сигналы и определяет координаты целей.

Кроме того, ПЛИС и ПЦОС выполняют функции по управлению модулями РЛС и информационным взаимодействиям с составными частями РЛС (опорно-поворотным устройством (ОПУ) и ЭВМ оператора).

Перспективы развития. Система на кристалле

Выше были рассмотрены примеры аппаратной реализации устройств первичной обработки на базе микросхем типа ПЛИС и ПЦОС. Однако развитие средств ЦОС реального времени уже сегодня позволяет решать задачи цифровой первичной обработки на основе гибридных кристаллов, которые содержат ПЛИС со встроенными аппаратными умножителями для реализации поточных высокопроизводительных вычислений цифровой согласованной фильтрации и обнаружения, а также ПЦОС для реализации алгоритмов определения координат, группирования объектов и решения периферийных задач. При этом вся система цифровой первичной обработки, в случае необходимости, может быть реализована в составе *одной микросхемы* – «система на кристалле». Одними из примеров подобных устройств являются микросхемы компании Xilinx (семейства Virtex II-pro и Virtex IV).

Эволюция однокристалльных реализаций обеспечит дальнейшее увеличение производительности, снижение стоимости, массогабаритных характеристик, потребляемой мощности устройств первичной обработки, что, несомненно, станет новым качественным уровнем в развитии радиолокационной техники [15].

- Основными системотехническими принципами аппаратной реализации устройств цифровой первичной обработки радиолокационных сигналов на современной элементной базе являются:
 - выполнение дискретизации сигнала на ПЧ;
 - цифровое преобразование действительного сигнала на ПЧ в комплексный (квадратурный) сигнал на видеочастоте (демодуляция);
 - использование вычислителей БПФ в качестве основных алгоритмических модулей согласованной фильтрации;
 - реализация алгоритмов согласованной фильтрации и обнаружения на основе специализированных микросхем, реализующих высокие степени параллелизма вычислительных операций, в частности, ПЛИС;
 - реализация алгоритмов формирования единичных замеров целей на основе универсальных или сигнальных процессоров;
 - одноплатая интеграция устройств цифровой первичной обработки и синтеза сигналов;
 - преимущественный выбор однокристалльных реализаций вычислительного ядра устройства.

Литература

1. Ширман Я.Д. Теоретические основы радиолокации. – М.: Сов. радио, 1970.
2. Кук Ч., Бернфельд М. Радиолокационные сигналы. Теория и применение. – М.: Сов. радио, 1971.
3. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В. и др. Цифровая обработка сигналов в многофункциональных РЛС. Ч. 1. – Цифровая обработка сигналов, 2001, №4.
4. Кузьмин С.З. Основы проектирования систем цифровой обработки радиолокационной информации. – М.: Радио и связь, 1986.
5. Кошелев В.И. Адаптивная обработка радиолокационных сигналов на базе процессора БПФ. – Цифровая обработка сигналов, 2002, №4.
6. Ампилов О.В., Пяткин А.К., Топчиев С.А., Никитин М.В. Устройство цифровой обработки сигналов когерентной моноимпульсной РЛС. – Труды VI международной научно-технической конференции «DSPA». – Москва, 2004.
7. Пяткин А.К., Топчиев С.А., Ампилов О.В. и др. Модуль цифрового формирования и обработки радиолокационных сигналов. – Труды VII международной научно-технической конференции «DSPA». – Москва, 2005.
8. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов. – М.: Мир, 1978.
9. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В. и др. Цифровая обработка сигналов в многофункциональных РЛС. Ч. 3. – Цифровая обработка сигналов, 2002, №2.
10. Пяткин А.К. Реализация цифрового формирователя полосы сигнала в многофункциональных РЛС. – Цифровая обработка сигналов, 2003, №2.
11. Максаев Г.П., Жданова С.И., Кочкин А.В. и др. Многопроцессорная реализация адаптивной обработки сигнала в когерентной импульсной РЛС. – Цифровая обработка сигналов, 2001, №4.
12. Дорохин С.А. Эффективность параллельных систем ЦОС, построенных на процессорах ADSP-21160. – Цифровая обработка сигналов, 2002, №1.
13. Пяткин А.К. Построение последовательно-параллельных вычислительных систем БПФ на ПЛИС. – Цифровая обработка сигналов, 2004, №1.
14. Пяткин А.К. Оценка разрядности целочисленного вычислителя БПФ для заданного уровня соответствующих потерь в отношении сигнал/шум. – Цифровая обработка сигналов, 2005, №1.
15. Пяткин А.К., Никитин М.В. Цифровая фильтрация частотно-модулированных импульсов в многофункциональных РЛС. – Цифровая обработка сигналов, 2003, №4.
16. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В. и др. Цифровая обработка сигналов в многофункциональных РЛС. Ч. 2. – Цифровая обработка сигналов, 2002, №1.
17. Пяткин А.К., Никитин М.В. Реализация на ПЛИС быстрого преобразования Фурье для алгоритмов ЦОС в многофункциональных РЛС. – Цифровая обработка сигналов, 2003, №3.

Поступила 13 декабря 2005 г.